

#6

OK

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 01091525 A

(43) Date of publication of application: 11.04.89

(51) Int. Cl.

H03K 19/173
G06F 7/00

(21) Application number: 62249183

(22) Date of filing: 02.10.87

(71) Applicant: KAWASAKI STEEL CORP

(72) Inventor: KEIDA HISAYA

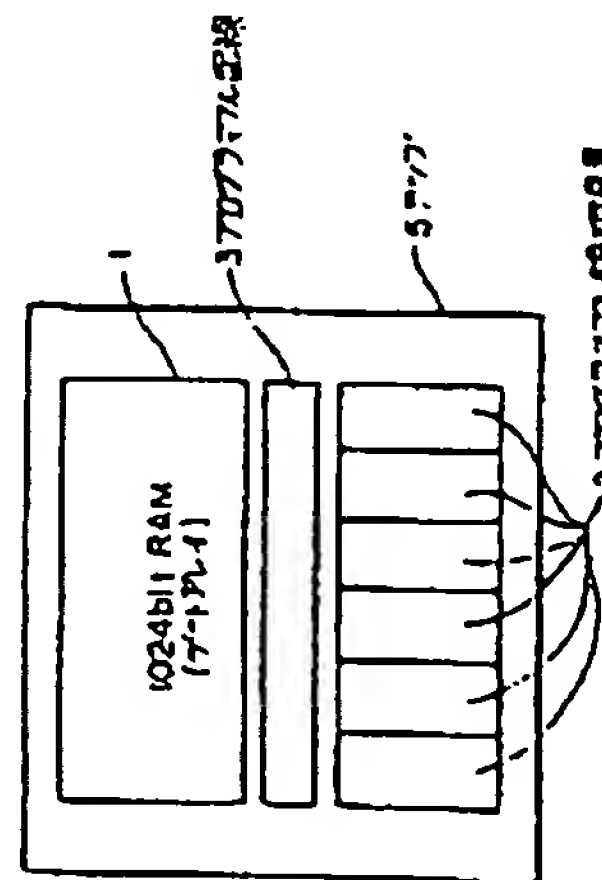
(54) PROGRAMMABLE LOGIC ELEMENT

(57) Abstract:

PURPOSE: To facilitate the revision corresponding to the desire of a customer by using the method of semi-custom IC to form a large sized function element of a gate array or a standard cell.

CONSTITUTION: A large sized function element 1 comprising an ALU (arithmetic logic unit), a RAM and a ROM or the like is mounted on a chip 5 by using a large sized cell used for a cell library such as a gate array or a standard cell to make the wiring 3 with a programmable logic element 2 in a chip 5 programmable. The large sized logic element 1 copes with a desired specification/circuit desired by a customer by a mask pattern or edition, and the coupling with the programmable logic element 2 in the one and same chip 5 is made programmable to attain the entire circuit programmable. Thus, the large sized function is easily realized without lowering the operating speed while corresponding to the desire of the customer.

COPYRIGHT: (C) 1989, JPO&Japio



⑧

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-91525

⑪ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)4月11日

H 03 K 19/173
G 06 F 7/00

1 0 1

7328-5J
E-7313-5B

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 プログラマブル論理素子

⑮ 特 願 昭62-249183

⑯ 出 願 昭62(1987)10月2日

⑰ 発 明 者 慶 田 久 彌 千葉県千葉市川崎町1番地 川崎製鉄株式会社技術研究本部内

⑱ 出 願 人 川崎製鉄株式会社 兵庫県神戸市中央区北本町通1丁目1番28号

⑲ 代 理 人 弁理士 志賀 富士弥

明 細 書

1. 発明の名称

プログラマブル論理素子

2. 特許請求の範囲

ALU, RAM, ROM等の大規模機能要素をゲートアレイ、スタンダードセルのセルライブラリに用いる大規模セルを使用してチップに搭載し、

上記チップ内のプログラマブル論理要素との配線プログラマブルにしたことを特徴とするプログラマブル論理素子。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、論理機能をプログラミング可能なプログラマブル論理要素とともに、ALU, RAM, ROM等の大規模機能要素を搭載したプログラマブル論理素子に関するものである。

〔従来の技術〕

従来より、カスタマ(顧客)がアプリケーションに対応の論理機能を得るための集積回路(IC)

として、セミカスタムICやPLA(プログラマブル・ロジック・アレイ)、PLD(プログラマブル・ロジック・デバイス)といったプログラマブル論理素子がある。

セミカスタムICの代表的なものとしてはゲートアレイがある。ゲートアレイは、標準のゲート回路をウェハ上に用意しておき、最後のアルミ配線のみカスタマの希望に沿って2-4枚のマスクパターンをつくり配線し、カスタマの希望する論理仕組を実現するものである。またセミカスタムICには、セルライブラリに登録してあるスタンダードセルをカスタマの希望に沿って配置・結合し、カスタマが希望する仕組の回路を提供するものがある。

PLAはアレイ状に配線したAND平面とOR平面を有し、その格子点の接続/非接続を指定してANDゲートまたはORゲートを作らせるか否かで論理機能を実現する。また、PLDはメモリセルに論理仕組を記憶しておき入力に従って選択的に反出し論理機能を実現する。PLA, PL

特開平1-91525 (2)

Dは、ユーザが手元で回路の論理を組み立てるという自由度がある。

〔発明が解決しようとする問題点〕

しかしながら、上記従来の技術におけるプログラマブル論理素子では、以下のことが問題点になっていた。

(1) プログラマブルな論理素子も数千ゲート程度以上の大容量なものになると、内部にALU（アリスメチック・ロジック・ユニット）、RAM（ランダムアクセスメモリ）、ROM（リードオンリメモリ）等の大規模機能要素を持つ必要性が生じてくる。しかし一般にプログラマブル論理素子は、自由度が高い反面、回路の使用率が低く、実現する機能に比べてチップ上の面積を多く必要とするため、動作速度が遅いという問題点がある。従って、上記大規模機能要素を他の部分と同じくプログラマブルな回路で構成すると、その自由度と引き換えに動作速度が非常に遅くなる。

(2) そこで、ALU、RAM、ROM等の大規模機能要素には固定配線の通常のIC回路を用

〔作用〕

本発明は、セミカスタムICの手法を用いて、変更容易に大規模論理要素をプログラマブル論理素子の中に組み込むことを特徴とする。この大規模論理要素は、マスクパターンまたは回路によってカスタマの希望する仕様・回路に対応するとともに、同一チップ内のプログラマブル論理要素との結合をプログラマブルにすることにより、全体としてプログラマブルにする。ゲートアレイやスタンダードセルは、回路素子の使用率が高く固定配線の大規模論理回路と同様に高速動作が可能である。

〔実施例〕

以下、本発明の実施例を図面に基づいて詳細に説明する。

第1図(a)、(b)は本発明の一実施例を示す構成図である。(a)は1024bit RAMの大規模論理要素を搭載したPLD、(b)は同じメモリ容量ながら128×8bit RAMの大規模論理要素に置き換えたPLDの構成例で

い、プログラマブルな論理要素と混在してプログラマブル論理素子上に搭載する方法も考えられるが、この大規模機能回路はアンプログラマブルであるため制限が多く変更が困難でカスタマの希望に対応できない。

本発明は、上記問題点を解決するために創案されたもので、全体として論理機能がプログラミング可能であるとともに、大規模機能もカスタマの希望に対応し変更容易にかつ動作スピードを低下させることなく実現可能なプログラマブル論理素子を提供することを目的とする。

〔問題点を解決するための手段〕

上記の目的を達成するための本発明のプログラマブル論理素子の構成は、

ALU、RAM、ROM等の大規模機能要素をゲートアレイ、スタンダードセルのセルライブラリに用いる大規模セルを使用してチップに搭載し、

上記チップ内のプログラマブル論理要素との配線をプログラマブルにしたことを特徴とする。

ある。(a)においてPLDは、ゲートアレイで形成した1024×1bit RAM1と、複数のプログラマブル論理要素2と、これらのRAM1やプログラマブル論理要素2間をプログラマブルに配線するプログラマブル配線3などから成る。

(b)に示すPLDは、ゲートアレイの配線を変更した128×8bit RAM4と、(a)と同じくプログラマブル論理要素2と、プログラマブル配線3などから成る。5はチップである。

第2図は上記第1図(a)の1024×1bit RAM1の構成例、第3図はそのRAM1のマルチプレクサ兼データ出力部の回路図の例、第4図はそのRAM1の出力を受けてプログラマブル配線とプログラマブル論理要素で構成された論理回路図の例である。アドレス入力は、アドレス入力回路10-1、10-2、...10-10を介して行デコーダ11と列デコーダ12に入力される。行デコーダ11のデコード出力によって32×32セルに配列されたメモリ14の1行の32bitのメモリセルが選択され、センスアンプ

特開平1-91525 (3)

番込回路15-1, ..., 15-32を介してアクセスされる。このとき32ビットのセンスアンプ番込回路15, ...の1ビットの選択は、列デコーダ12のデコード出力に基づきマルチプレクサ兼データ出力部16を介して行われる。

マルチプレクサ兼データ出力部16は第3図に示すように、各センスアンプ番込回路15-1, 15-2, ..., 15-32をトランスマッションゲート16a₁, 16a₂, ..., 16a₃₂を介して1本のデータ入出力線16bに接続する。各ゲート16a₁, ..., 16a₃₂のゲート端子には、5-32ライン列デコーダ12のデコード出力が入力されて、その1つが選択されてオンとなり、データの入出力が可能になる。データの入出力線16bはプログラマブル配線3とプログラマブル接続ポイント3a₁, 3a₂, ...を介して任意に接続可能となっている。

上記データ出力部16のメモリ出力は1つの接続ポイント例えば3a₁を介してプログラマブル論理要素2に入力される。第4図はシリアルなメ

データ出力部40-1, ..., 40-8によって8ビットの入出力線40-1a, ..., 40-8aに接続される。各入出力線40-1a, ...は、プログラマブル接続ポイント3b₁, 3b₂, ..., 3b₈を介して、プログラマブル配線3に接続可能になっている。各4つのトランスマッションゲートのゲート端子は、列アドレス入力回路41-1, 41-2を介して入力される2本の列アドレス入力を2-4ライン列デコーダ42でデコードされたデコード出力に接続される。

以上のように構成した実施例の作用を述べる。ゲートアレイによってRAMのような大規模回路を形成すれば、第1図の(a)-(b)の変更はマスクパターン4枚の工程で可能であるため変更が容易である。また、その素子間の配線はマスク4枚であるのでターンアラウンドタイムは早く、プログラマブル論理素子で大規模回路を実現する場合よりも素子の使用率が高いため面積的に小さくなり、素子間の配線が短くなって高速動作が得られる。

メモリ出力を受けて8ビットのバラレル出力に変換するシリアル-バラレル変換回路(シフトレジスタ)であり、プログラマブル論理要素2によって構成した回路である。この回路例は、論理要素2をD型フリップフロップ2a₁, 2a₂, ..., 2a₈として用い、そのクロックを共通に接続してクロックckを接続し、メモリ出力を先頭のD入力端子に接続し、以降D型フリップフロップの出力Qを次段のD入力端子に接続して構成する。このようにして出力される8ビットのバラレル出力Q₁, Q₂, ..., Q₈はプログラマブル配線3のプログラマブルな接続によって次段のプログラマブル論理要素2へ入力される。

第5図は、第1図(b)に対応してアドレスの指定だけで、高速に8ビットのアクセスが行えるように128×8ビットRAMに変更した場合のゲートアレイ部の変更部分を示す回路図である。32個のセンスアンプ番込回路15-1, 15-2, ..., 15-32は、4列単位に4個のトランスマッションゲートから成るマルチプレクサ兼

なお、スタンダードセルによってRAMなどの大規模回路を形成した場合も、上記同様に回路の変更が容易であり、かつ、より一層の高速動作が可能になり、本発明の目的を達成することができる。このように、本発明はその主旨に沿って種々に応用され、実施態様を取り得るものである。

〔発明の効果〕

以上の説明で明らかなように、本発明のプログラマブル論理素子によれば、大規模機能要素をセミカスタムICの手法を用いてゲートアレイやスタンダードセルにより形成したので、カスタマの希望に対応して変更が容易であり、かつ高速動作が可能になるとともに、多種類の大規模機能要素を持った或った仕様のプログラマブル論理素子を短期間に得られるという効果がある。

4. 図面の簡単な説明

第1図(a), (b)は本発明の一実施例を示す構成図、第2図は第1図(a)のRAMの構成図、第3図は第2図のRAMのマルチプレクサ兼データ出力部の回路図、第4図はプログラマブル

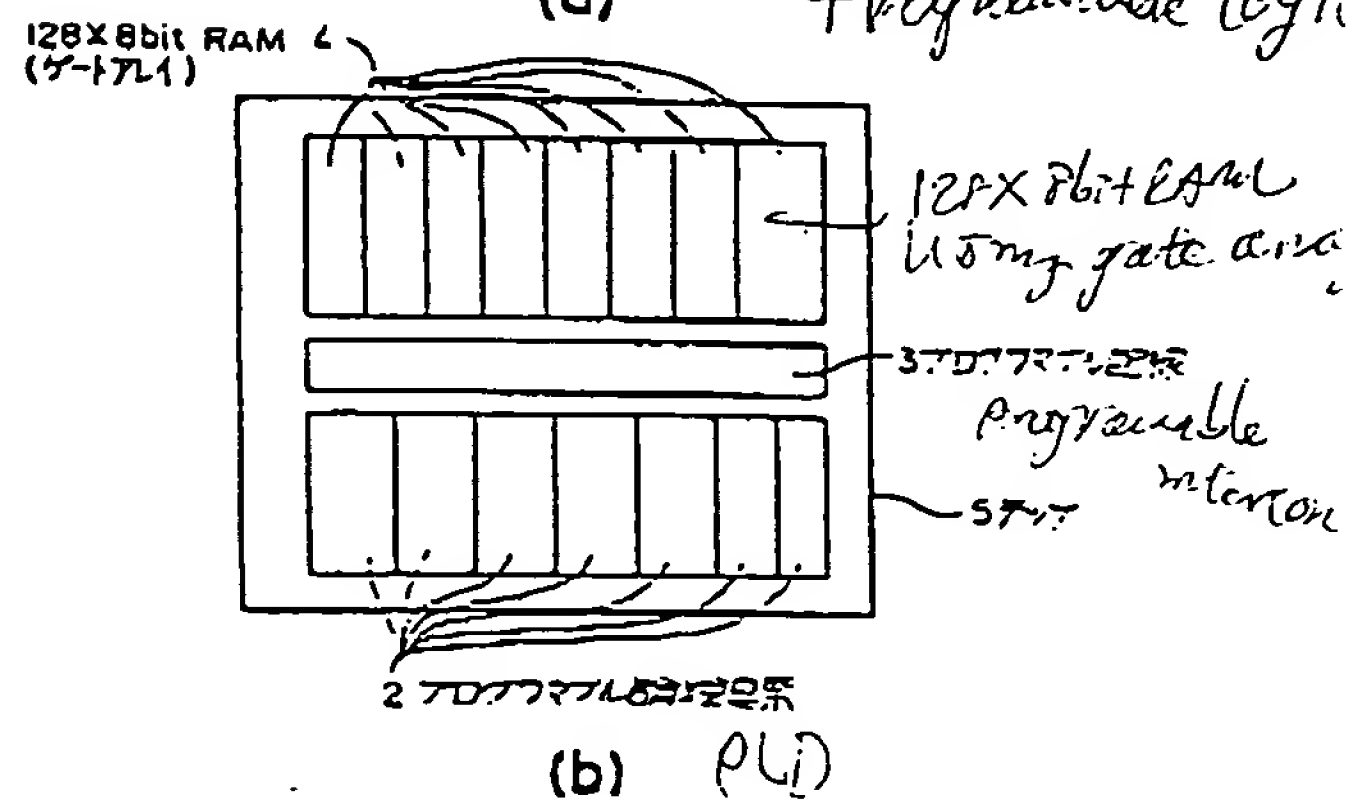
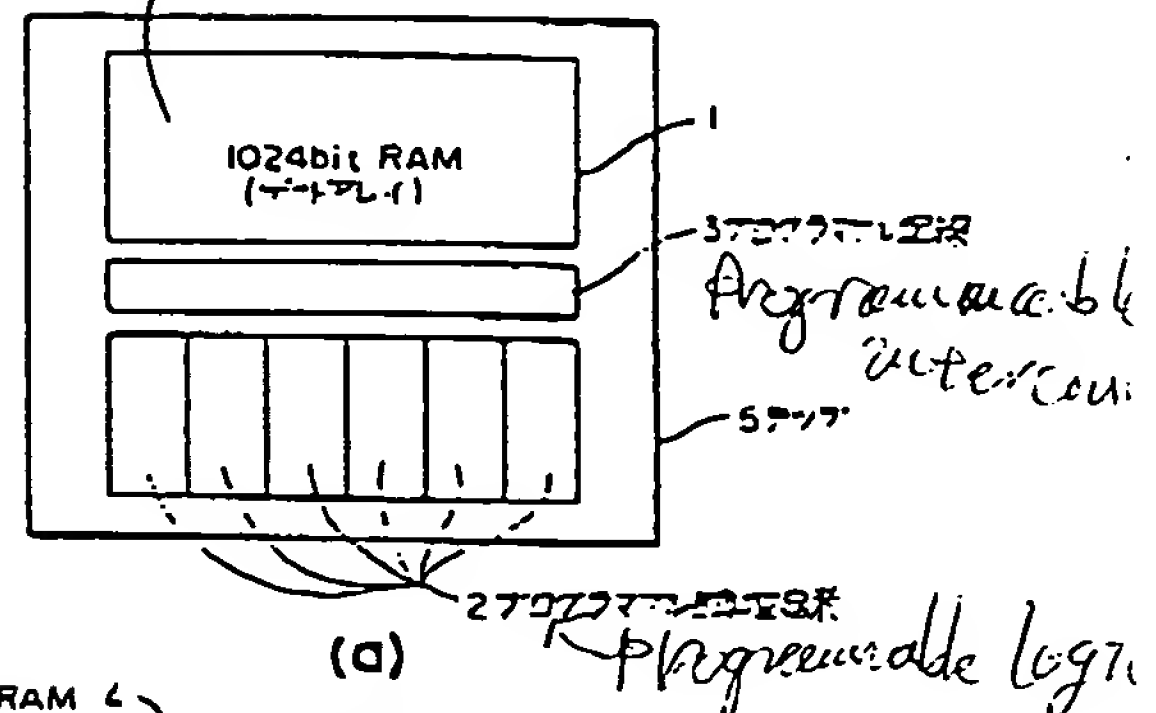
論理要素で構成された論理回路図、第5図は第1図(b)のRAMのゲートアレイ部の変更部分を示す回路図である。

1...RAM(大規模セル)、2...プログラマブル論理要素、3...プログラマブル配線、5...チップ。

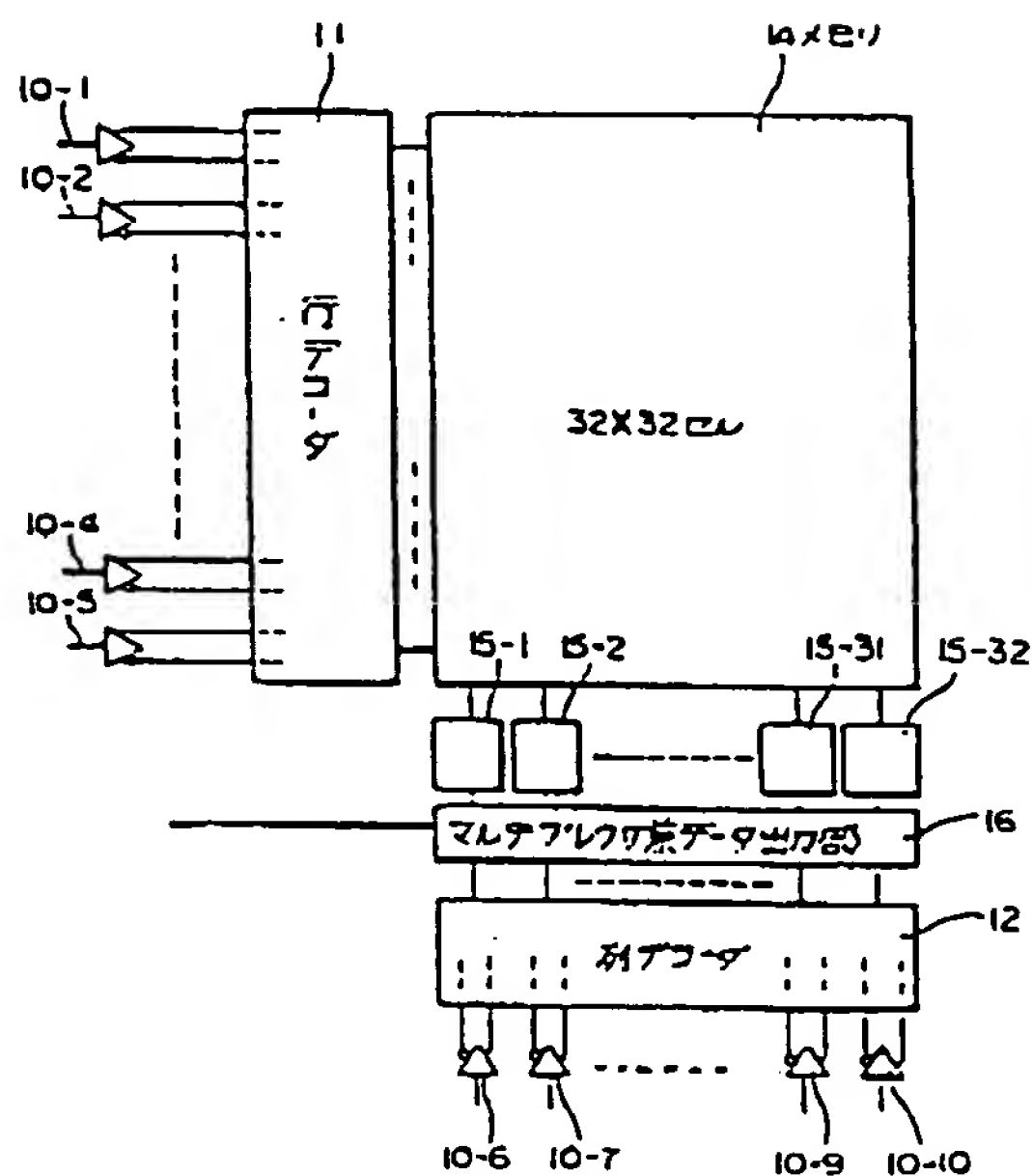
代理人 志賀富士 株式会社



1024bit RAM using gate array
特開平1-91525 (4)

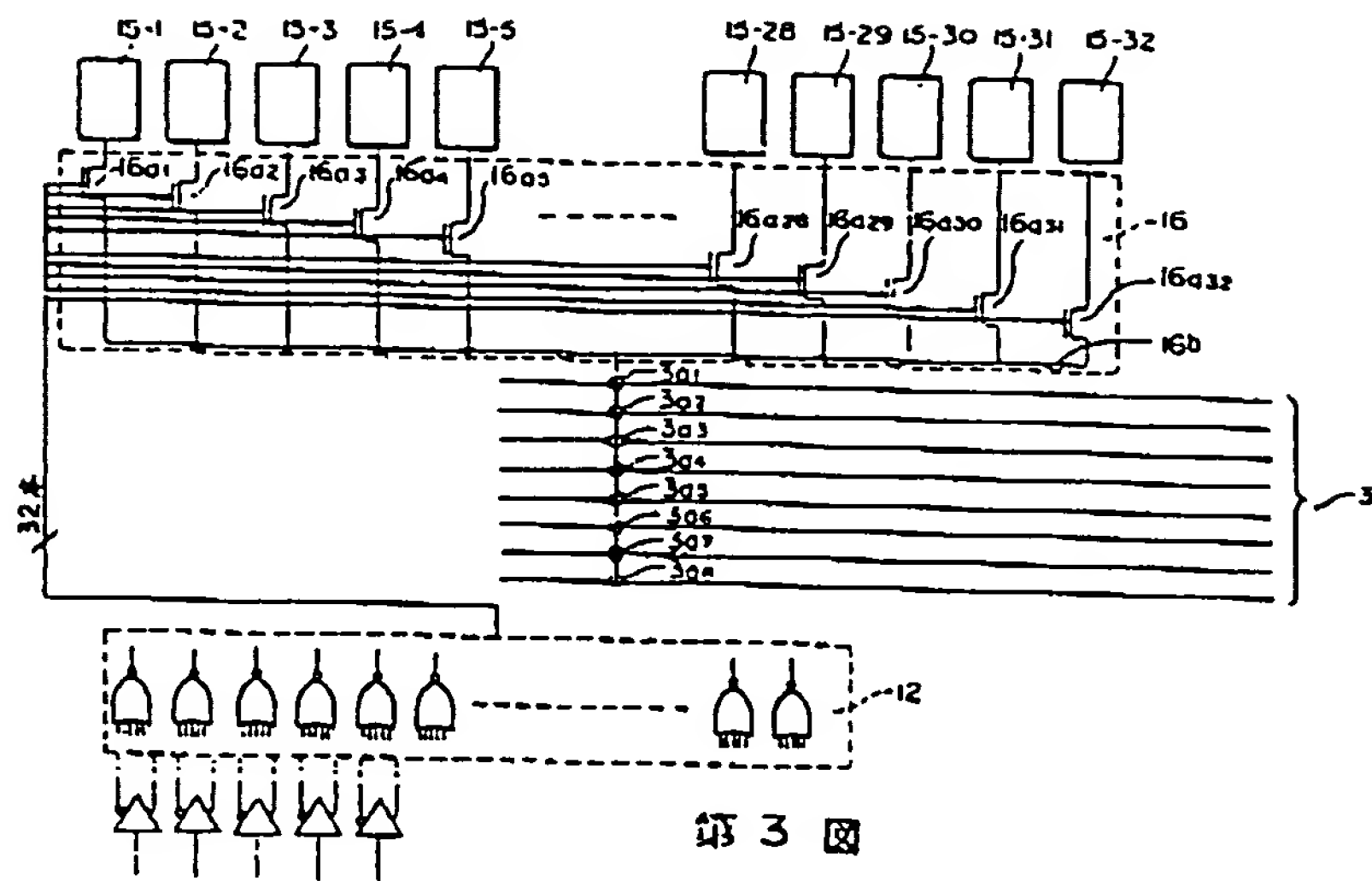


第1図

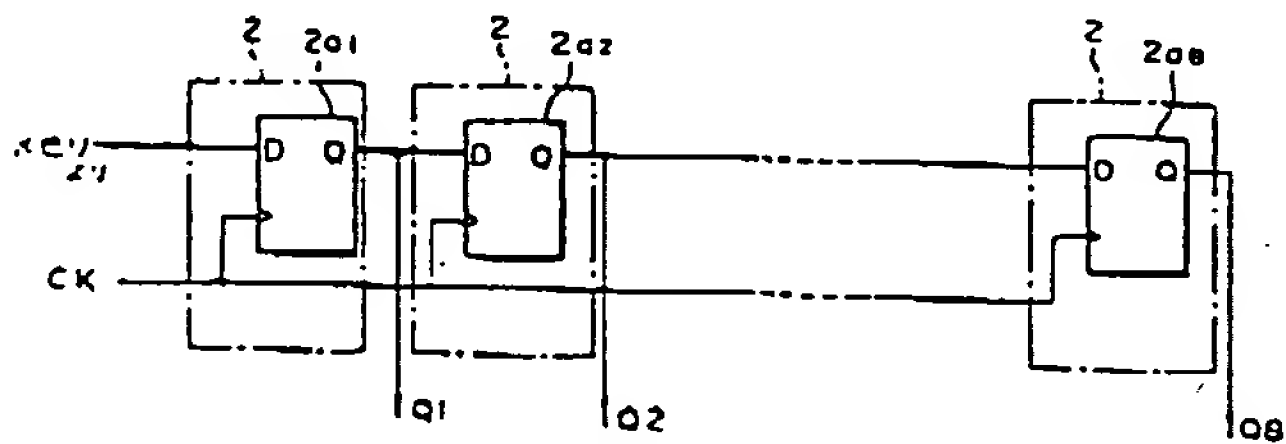


第2図

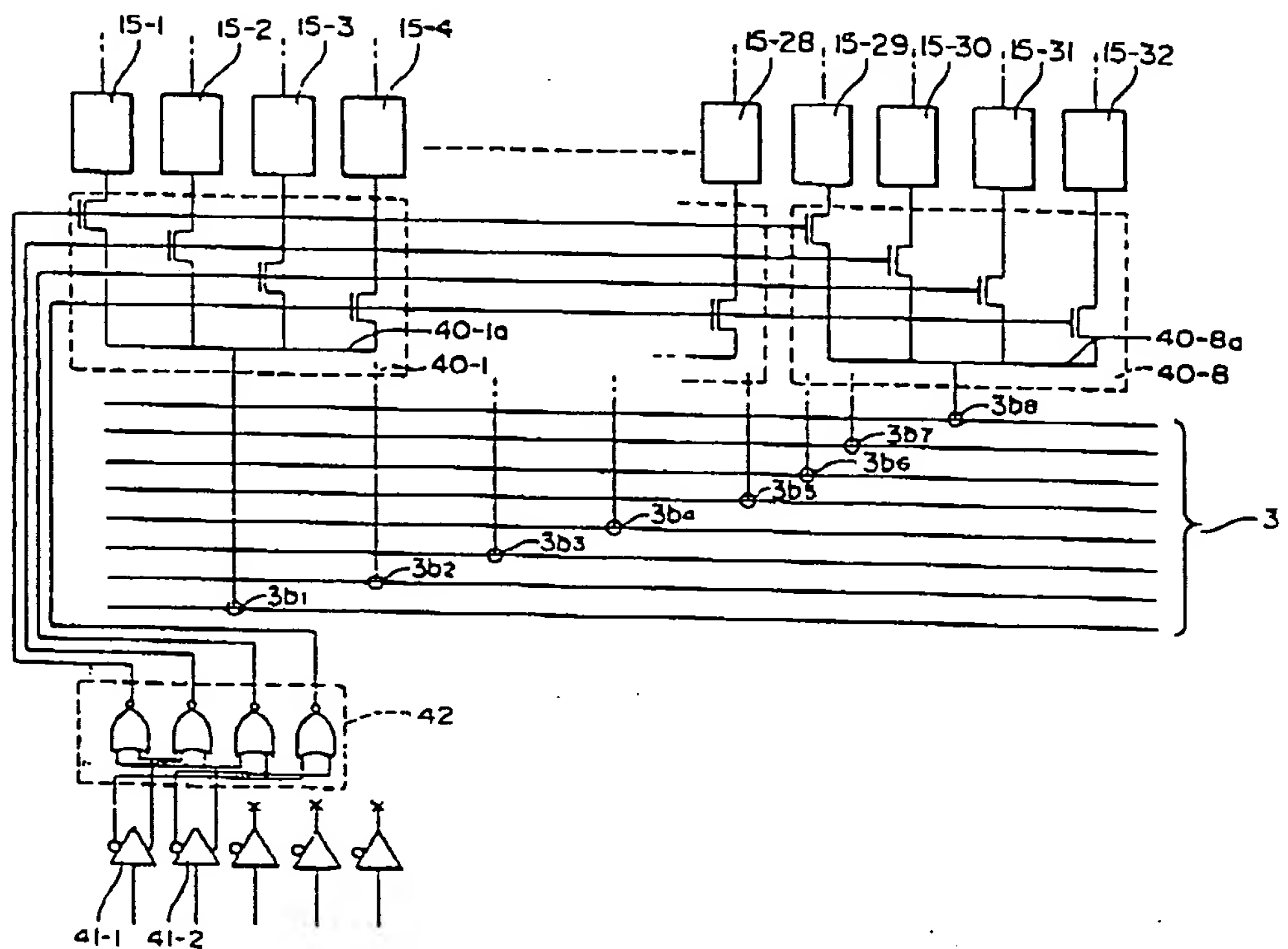
特開平1-91525 (5)



第 3 図



第 4 図



第 5 図